

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Masataka HOSHINO**

Serial No.: **Not Yet Assigned**

Filed: **October 22, 2001**

For: **THREE DIMENSIONAL SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE
AND METHOD FOR MAKING THE SAME**

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
Washington, D.C. 20231

October 22, 2001

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

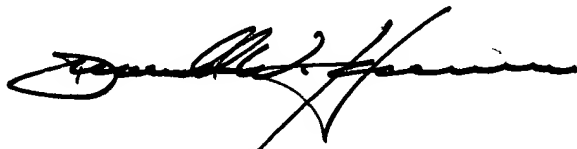
Japanese Appln. No. 2001-196777, filed June 28, 2001

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicant has complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,
ARMSTRONG, WESTERMAN, HATTORI
MCLELAND & NAUGHTON, LLP



Donald W. Hanson
Reg. No. 27,133

Atty. Docket No.: 011354
Suite 1000, 1725 K Street, N.W.
Washington, D.C. 20006
Tel: (202) 659-2930
Fax: (202) 887-0357
DWH/ll



PATENT OFFICE
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy
of the following application as filed with this office.

Date of Application: June 28, 2001

Application Number: Japanese Patent Application
No. 2001-196777

Applicant(s) FUJITSU LIMITED

August 31, 2001

Commissioner,
Patent Office

Kouzo Oikawa (Seal)

Certificate No.2001-3081001

日 本 国 特 許 庁
JAPAN PATENT OFFICE

JC996 U.S. PTO
09/982963
10/22/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 6月28日

出 願 番 号

Application Number:

特願2001-196777

出 願 人

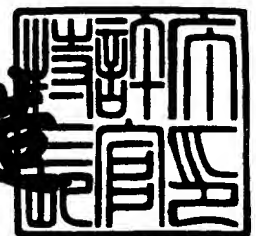
Applicant(s):

富士通株式会社

2001年 8月31日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3081001

【書類名】 特許願

【整理番号】 0150096

【提出日】 平成13年 6月28日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 H01L 23/52
H01L 23/538

【発明の名称】 半導体装置およびその製造方法

【請求項の数】 6

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 星野 雅孝

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100070150

【住所又は居所】 東京都渋谷区恵比寿4丁目20番3号 恵比寿ガーデンプレイスタワー32階

【弁理士】

【氏名又は名称】 伊東 忠彦

【電話番号】 03-5424-2511

【手数料の表示】

【予納台帳番号】 002989

【納付金額】 21,000円

【その他】 国等の委託研究の成果に係る特許出願（平成12年度新エネルギー・産業技術総合開発機構「超高密度電子S I 技術の研究開発（エネルギー使用合理化技術開発）」委託研究、産業活力再生特別措置法第30条の適用を受け

るもの)

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704678

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板と、

前記半導体基板の第 1 の表面上に形成された半導体素子と、

前記半導体基板の前記第 1 の表面上に、前記半導体素子を覆うように形成された絶縁膜と、

前記絶縁膜上に形成された多層配線構造と、

前記半導体基板中に、前記第 1 の表面から第 2 の対向する表面に貫通するように形成され、さらに前記絶縁膜中を貫通する貫通孔と、

前記貫通孔中に形成され、前記第 1 の表面から前記第 2 の表面まで延在する貫通電極とを備えた半導体装置であって、

前記貫通孔は、前記絶縁膜中においては第 1 の径を、前記半導体基板中においては第 2 の、より大きな径を有し、

前記貫通電極は、その全長にわたり前記第 1 の径に実質的に等しい径を有し、前記半導体基板中においては前記貫通電極と前記貫通孔内壁との間に、絶縁膜スリーブが介在することを特徴とする半導体装置。

【請求項 2】 前記絶縁膜スリーブは、オルガノシロキサン系材料、水素化シロキサン系材料、有機ポリマー、およびこれらの多孔質材料のいずれかよりなることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記絶縁膜スリーブは、約 3. 0 以下の比誘電率を有することを特徴とする請求項 1 または 2 記載の半導体装置。

【請求項 4】 前記貫通電極は Cu を主成分とする金属よりなることを特徴とする請求項 1 ～ 3 のうち、いずれか一項記載の半導体装置。

【請求項 5】 貫通電極を有する半導体装置の製造方法であって、半導体基板の第 1 の主面上に絶縁膜を形成する工程と、前記絶縁膜中に、前記半導体基板を露出する開口部を第 1 の径で形成する工程と、

前記半導体基板中に、前記絶縁膜をマスクとして前記半導体基板の主面に略垂

直な方向に作用する異方性エッチングを行い、前記開口部から前記半導体基板中に延在する凹部を、前記凹部が前記半導体基板中において前記第 1 の径よりも大きな第 2 の径を有するように形成する工程と、

前記開口部および前記凹部を塗布絶縁膜により充填する工程と、

前記開口部中および前記凹部を充填している前記塗布絶縁膜を、前記絶縁膜をマスクとして、前記半導体基板の主面に略垂直な方向に異方性エッチングし、前記凹部中の塗布絶縁膜中に、前記開口部から連続的に延在する空間を形成する工程と、

前記絶縁膜上に、前記開口部および前記空間を充填するように導電層を堆積する工程と、

前記絶縁膜上において前記導電層を除去し、前記開口部および前記空間中に導電性プラグを形成する工程と、

前記半導体基板の第 2 の、前記第 1 の主面に対向する主面に対して、前記半導体基板の構成材料を除去する工程を行い、前記導電性プラグを露出させる工程とよりなることを特徴とする半導体装置の製造方法。

【請求項 6】 前記半導体基板の第 2 の主面に対して施される、前記半導体基板の構成材料を除去する工程はドライエッチング工程よりなり、前記塗布絶縁膜は、前記ドライエッチング工程に対して耐性を有する材料よりなることを特徴とする請求項 5 記載の半導体装置の製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は一般に半導体装置に係り、特に多層配線構造を有する半導体チップを多数積層した 3 次元半導体集積回路装置およびその製造方法に関する。

【 0 0 0 2 】

従来より、半導体集積回路装置の集積密度を向上させるために様々な努力がなされているが、3 次元半導体集積回路装置は究極的な半導体集積回路装置であると考えられる。かかる 3 次元半導体集積回路装置を実現するために、様々な提案がなされている。

【 0 0 0 3 】

【従来の技術】

図 1 は、かかる従来提案されている 3 次元半導体集積回路装置 1 0 の概略的構成を示す。

【 0 0 0 4 】

図 1 を参照するに、半導体集積回路装置 1 は表面側に配線パターン 1 0 A を、裏面側にはんだバンプ 1 0 B を形成された支持基板 1 0 と、前記支持基板 1 0 上に積層された多数の半導体チップ 1 1 A ~ 1 1 D より構成され、各々の半導体チップは 1 1 A ~ 1 1 D は表面から裏面に貫通する貫通電極 1 1 a ~ 1 1 d を有し、さらに表面上に 2 次元集積回路を担持する。かかる半導体チップを重ね合わせることにより、一の半導体チップの裏面に露出した貫通電極が下側の半導体チップ表面に形成された電極パッドとコンタクトし、全体として所望の機能を実行する 3 次元半導体集積回路装置が得られる。かかる 3 次元半導体集積回路装置においては、貫通電極と多層配線構造とを接続することにより、最小限の配線長で複雑な回路を構成することが可能である。

【 0 0 0 5 】

図 2 (A) ~ 5 (H) は、かかる半導体チップの一つ、例えば半導体チップ 1 1 A の形成工程を示す図である。

【 0 0 0 6 】

図 2 (A) を参照するに、S i 基板 2 1 上にはゲート電極 2 2 および拡散領域 2 1 A , 2 1 B を含む活性素子が形成されており、前記活性素子は層間絶縁膜 2 3 により、覆われている。さらに前記層間絶縁膜 2 3 中には前記拡散領域 2 1 A , 2 1 B を露出するコンタクトホールがそれぞれ形成され、かかるコンタクトホール中には W 等の導電性プラグ 2 3 A , 2 3 B が形成されている。

【 0 0 0 7 】

図 2 (A) の状態では、さらに前記層間絶縁膜 2 3 上にレジスト開口部 2 4 A を有するレジスト膜 2 4 が形成されており、かかるレジスト膜 2 4 をマスクに前記層間絶縁膜 2 3 がパターンニングされ、図 1 の貫通電極 1 1 a に対応する開口部 2 3 C が前記層間絶縁膜 2 3 中に形成されている。

【 0 0 0 8 】

次に図 2 (B) の工程において前記 S i 基板 2 1 を前記開口部 2 3 C を介してドライエッチングし、前記貫通電極 1 1 a に対応した凹部 2 1 C を前記 S i 基板 2 1 中に、前記開口部 2 3 C の延在部として形成する。

【 0 0 0 9 】

次に図 3 (C) の工程において図 2 (B) の構造上に C V D 法により S i N 膜 2 5 を、前記 S i N 膜 2 5 が前記層間絶縁膜 2 3 の表面および前記開口部 2 3 C の内壁面、さらに前記凹部 2 1 C の底面を含む内壁面を連続して覆うように堆積する。

【 0 0 1 0 】

さらに図 3 (D) の工程において図 3 (C) の構造上に、より具体的には前記 C V D - S i N 膜 2 5 上に T i N 膜および C u 膜を C V D 法により形成し、さらに前記 C V D - C u 膜を電極に C u の電解めっきを行うことにより、C u 層 2 6 を形成する。かかる C u 層 2 6 は前記凹部 2 1 C 中において、前記凹部 2 1 C を充填するプラグ 2 6 C を形成する。

【 0 0 1 1 】

さらに図 4 (E) の工程において前記層間絶縁膜 2 3 上の C u 層 2 6 を C M P (化学機械研磨) 法により除去した後、図 4 (F) の工程において前記層間絶縁膜 2 3 上に次の層間絶縁膜 2 7 を形成し、さらに前記層間絶縁膜 2 7 中にダマシン法により C u 配線パターン 2 7 A を形成する。

【 0 0 1 2 】

さらに図 5 (G) の工程において前記層間絶縁膜 2 7 上に次の層間絶縁膜 2 8 を形成し、さらに前記層間絶縁膜 2 8 中にデュアルダマシン法により、コンタクトプラグを含む次の C u 配線パターン 2 8 A を形成する。

最後に図 5 (H) の工程において前記 S i 基板 2 1 の裏面を研磨し露出した C u プラグ 2 6 C 上に拡散防止膜 2 9 A を介して導電性パッド 2 9 B を形成することにより、図 1 に示した半導体チップ 1 1 A が得られる。図 5 (H) の構造では、前記 C u プラグ 2 6 C が図 1 の貫通電極 1 1 a を形成している。

【 0 0 1 3 】

【発明が解決しようとする課題】

ところで、図 2 (A) ～図 5 (H) の工程により前記半導体チップ 1 1 A を形成した場合には、図 2 (B) の工程で深い凹部 2 1 C を形成する際に前記凹部 2 1 C の径が開口部 2 3 C の径よりも増加してしまい、その結果前記凹部 2 1 C の上端において前記層間絶縁膜 2 3 によりオーバーハングが形成される場合がある。前記開口部 2 3 C の径は典型的には $10\ \mu\text{m}$ 程度であるのに対し、前記凹部 2 1 C の深さは $60\ \mu\text{m}$ に達する。

【0014】

そこで図 3 (C) の工程において上部にオーバーハングを有する凹部 2 1 C の内壁面を覆うように前記 CVD-SiN 膜を形成しようとする、径の狭まった前記凹部 2 1 C の上端部、すなわち前記開口部 2 3 C において SiN 膜の堆積が促進される傾向があり、その結果前記開口部 2 3 C の実効的な径がさらに狭められてしまう。このため図 3 (C) の工程において Cu 層 2 6 を電解めっきにより形成しようとした場合、前記凹部 2 1 C の内部における Cu 層 2 6 の成長が不十分になり、前記 Cu プラグ 2 6 C 内部に空洞 2 6 c 等の欠陥が発生しやすい問題が生じる。前記 Cu プラグ 2 6 C は、図 1 に示したように貫通電極 1 1 a を構成する重要な部分であり、かかる貫通電極 1 1 a 中に欠陥が生じるようであると、図 1 に示す 3 次元半導体集積回路装置の信頼性は著しく低下してしまう。

【0015】

そこで、本発明は上記の課題を解決した、新規で有用な半導体装置の製造方法を提供することを概括的課題とする。

【0016】

本発明のより具体的な課題は、半導体チップ中に貫通電極を備え、高速で動作し、信頼性が高く、積層することにより容易に 3 次元半導体集積回路装置を形成できる半導体装置およびその製造方法、およびかかる半導体装置より構成された半導体集積回路装置を提供することにある。

【0017】

【課題を解決するための手段】

本発明は上記の課題を、半導体基板と、前記半導体基板の第 1 の表面上に形成

された半導体素子と、前記半導体基板の前記第 1 の表面上に、前記半導体素子を覆うように形成された絶縁膜と、前記絶縁膜上に形成された多層配線構造と、前記半導体基板中に、前記第 1 の表面から第 2 の対向する表面に貫通するように形成され、さらに前記絶縁膜中を貫通する貫通孔と、前記貫通孔中に形成され、前記第 1 の表面から前記第 2 の表面まで延在する貫通電極とを備えた半導体装置であって、前記貫通孔は、前記絶縁膜中においては第 1 の径を、前記半導体基板中においては第 2 の、より大きな径を有し、前記貫通電極は、その全長にわたり前記第 1 の径に実質的に等しい径を有し、前記半導体基板中においては前記貫通電極と前記貫通孔内壁との間に、絶縁膜スリーブが介在することを特徴とする半導体装置により解決する。

【 0 0 1 8 】

また本発明は上記の課題を、貫通電極を有する半導体装置の製造方法であって、半導体基板の第 1 の主面上に絶縁膜を形成する工程と、前記絶縁膜中に、前記半導体基板を露出する開口部を第 1 の径で形成する工程と、前記半導体基板中に、前記絶縁膜をマスクとして前記半導体基板の主面に略垂直な方向に作用する異方性エッチングを行い、前記開口部から前記半導体基板中に延在する凹部を、前記凹部が前記半導体基板中において前記第 1 の径よりも大きな第 2 の径を有するように形成する工程と、前記開口部および前記凹部を塗布絶縁膜により充填する工程と、前記開口部中および前記凹部を充填している前記塗布絶縁膜を、前記絶縁膜をマスクとして、前記半導体基板の主面に略垂直な方向に異方性エッチングし、前記凹部中の塗布絶縁膜中に、前記開口部から連続的に延在する空間を形成する工程と、前記絶縁膜上に、前記開口部および前記空間を充填するように導電層を堆積する工程と、前記絶縁膜上において前記導電層を除去し、前記開口部および前記空間中に導電性プラグを形成する工程と、前記半導体基板の第 2 の、前記第 1 の主面に対向する主面に対して、前記半導体基板の構成材料を除去する工程を行い、前記導電性プラグを露出させる工程とよりなることを特徴とする半導体装置の製造方法により、解決する。

【 0 0 1 9 】

本発明によれば、半導体基板上に形成された絶縁膜をハードマスクとして前記

半導体基板中に最終的には貫通孔となる凹部を形成する際に、かかる凹部形成に伴うアンダーカットの発生を利用して、前記凹部側壁面にスリーブ状に低誘電率を特徴とする塗布絶縁膜を形成することができる。そこで、このようなスリーブで囲まれた空間をCu等の低抵抗材料により充填して導電性プラグを形成することにより、寄生容量および寄生抵抗を軽減でき、その結果半導体装置の動作速度が向上する。またかかる塗布絶縁膜を前記凹部側壁面のみならず底面にもシース状に残しておくことにより、前記半導体基板の裏面をドライエッチングして前記基板の厚さを減少させる工程を行っても、典型的にはCuよりなる導電性プラグがかかる塗布絶縁膜により保護されているため損傷することがない。その結果、前記半導体基板の裏面において前記導電性プラグが前記塗布絶縁膜により覆われた状態で突出している状態が得られるが、この状態で前記塗布絶縁膜をCMP法あるいはアッシングにより除去することにより、前記導電性プラグが前記半導体基板の裏面において電氣的にコンタクト可能な状態になる。そこで前記半導体基板の裏面において前記導電性プラグの先端部にコンタクトパッドを形成し、このようにして形成された半導体装置ないしチップを多数積層することにより、高速で動作する3次元半導体集積回路装置を構成することが可能になる。

【 0 0 2 0 】

【発明の実施の形態】

以下、本発明の一実施例による半導体装置の製造工程を、図6(A)～13(L)を参照しながら説明する。

【 0 0 2 1 】

図6(A)を参照するに、Si基板41上には拡散領域41Aおよび41Bの間にゲート電極42が形成されており、前記Si基板41上には前記ゲート電極42を覆うようにSiO₂膜43が形成されている。前記SiO₂膜43の表面波平坦化されており、前記拡散領域41A、41Bを露出するコンタクトボールにW等の導電性プラグ43A、43Bが形成されている。

【 0 0 2 2 】

さらに図6(A)の構造では前記SiO₂膜43上にレジスト膜44が形成されており、前記レジスト膜44中に形成されたレジスト開口部44Aにおいて

前記 SiO_2 膜 43 が例えば CF_4 系エッチングガスによりエッチングされており、その結果前記 SiO_2 膜 43 中には前記 Si 基板 41 を露出する開口部 43C が約 $10\ \mu\text{m}$ の径で形成されている。

【0023】

次に図 6 (B) の工程において、前記 Si 基板 41 は前記開口部 43C において例えば SF_6 ガスと炭化水素系ガスとを交互に使う反応性イオンエッチング (RIE) によりエッチングされ、前記 Si 基板 41 中には基板 41 の主面に略垂直な方向に延在する凹部 41C が、前記開口部 43C に対応して形成される。その際、前記 SiO_2 膜 43 はハードマスクとして作用し、エッチングは前記 Si 基板 41 中において選択的に生じる。かかるエッチングの際、前記凹部 41C は側方へも拡大し、その結果凹部 41C は前記開口部 43C の径よりもやや大きい、例えば $11\ \mu\text{m}$ 程度の径を有する。

【0024】

次に図 7 (C) の工程において、図 6 (B) の構造上に低誘電率の塗布絶縁膜 45 がスピンドーティングにより形成される。かかる塗布絶縁膜としては、オルガノシロキサン系塗布絶縁膜、水素化シロキサン系塗布絶縁膜、有機ポリマー、あるいはこれらの材料よりなる多孔質塗布絶縁膜を使うことが可能である。これらの塗布絶縁膜は、典型的には 3.0 以下の低い比誘電率を有している。

【0025】

次に図 7 (D) の工程において前記塗布絶縁膜 45 をキュアした後、酸素プラズマを使った RIE 法により、前記塗布絶縁膜 45 を、前記 SiO_2 膜 43 をマスクに前記基板 41 に略垂直な方向にエッチングし、前記凹部 41C を充填する塗布絶縁膜 45 中に前記基板 41 の主面に略垂直に延在する空間 45A を形成する。なお図 7 (D) の工程では前記 RIE エッチングの結果、前記絶縁膜 43 上からは前記塗布絶縁膜 45 は除去されている。

【0026】

さらに図 7 (D) の RIE エッチング工程を継続することにより、前記凹部 41C 中の塗布絶縁膜 45 中には前記空間 45A が前記開口部 43C と実質的に同一の径で形成され、残留した前記塗布絶縁膜 45 は前記凹部 41C の内壁に沿っ

てスリーブ 4 5 B を形成する。図 8 (E) の例では、前記塗布絶縁膜 4 5 は前記開口部 4 1 C の底部にも残されている。

【 0 0 2 7 】

次に図 8 (F) の工程において図 8 (E) の構造上に T i N 膜 (図示せず) および C u 膜 (図示せず) が順次 C V D 法により、前記 S i O₂ 膜 4 3 の表面および前記開口部 4 3 C の内壁面、さらに前記空間 4 5 A の内壁面を一様に覆うように形成され、さらに前記 C u 膜をシード層に電解めっきを行うことにより、前記 S i O₂ 膜 4 3 上に前記開口部 4 3 C および前記空間 4 5 A を連続して充填するように C u 層 4 6 が形成される。本実施例では、前記 S i O₂ 膜 4 3 の表面に S i N 膜などが堆積されることがないため前記開口部 4 3 C の径が狭められることなく、その結果前記 C u 層 2 6 を堆積した場合、前記凹部 4 1 C 中にボイドが形成されることはない。

【 0 0 2 8 】

さらに図 9 (G) の工程において CMP 法により前記 C u 層 4 6 を前記 S i O₂ 膜表面から除去することにより、前記凹部 4 1 C 中に C u プラグ 4 6 A を形成する。図 9 (G) よりわかるように前記 C u プラグ 4 6 A は前記凹部 4 1 C 中において塗布絶縁膜スリーブ 4 5 B により囲まれた状態で形成される。

【 0 0 2 9 】

次に図 9 (H) の工程において図 9 (G) の S i O₂ 膜 4 3 上に次の層間絶縁膜 4 7 が形成され、さらに前記層間絶縁膜 4 7 中に形成された配線溝を C u 層で充填するダマシン工程により、前記配線溝中に C u 配線パターン 4 7 A が形成される。さらに図 1 0 (I) の工程において前記層間絶縁膜 4 7 上に次の層間絶縁膜 4 8 が形成され、さらに前記層間絶縁膜 4 8 中にデュアルダマシン法により、コンタクトプラグを含む C u 配線パターン 4 8 A が形成される。

【 0 0 3 0 】

本発明ではさらに図 1 1 (J) の工程において前記 S i 基板 4 1 の裏面に S F₆ あるいは C F₄ をエッチングガスとして使った R I E 工程を適用し、 S i 基板 4 1 の厚さを減少させる。図 1 1 (J) の工程においては最初に前記 S i 基板 4 1 の裏面を研削し、その後 R I E プロセスを適用してもよい。前記 R I E プロセス

は、図 1 1 (J) に示すように前記 Cu プラグ 4 6 A が前記塗布絶縁膜スリーブ 4 5 B により覆われた状態で前記 Si 基板 4 1 の裏面に突出するまで実行される。その際、前記塗布絶縁膜として Si 基板をドライエッチングする R I E プロセスに対して十分な耐性を有するベンゾシクロブテン (B C B) などの低誘電率塗布絶縁膜としておく为好都合である。

【 0 0 3 1 】

次に図 1 2 (K) の工程において前記 Si 基板 4 1 の裏面に T i N 等の拡散防止膜 (図示せず) を介して Cu 層 4 9 を略一様な厚さに堆積し、さらに図 1 2 (K) 中に破線で示したラインまで CMP 法により前記 Cu 層 4 9 を研磨する。その結果前記 Cu プラグ 4 6 A が露出し、さらに図 1 3 (L) の工程においてかかる露出した Cu プラグ 4 6 A の端面に、T i N などの拡散防止膜 (図示せず) を介して Au などのコンタクトパッド 5 0 を形成する。

【 0 0 3 2 】

図 1 2 (K) の工程を採用することにより、図 1 0 (I) の構造において前記 Si 基板 4 1 の裏面を直接に研磨して前記 Cu プラグ 4 6 A を露出させる場合に生じる、Si 基板 4 1 と Cu プラグ 4 6 A とが同時に研磨される結果汚染が生じる問題が回避される。

【 0 0 3 3 】

なお、前記塗布絶縁膜 4 5 としては、比誘電率が 3. 0 以下の塗布絶縁膜が好ましいが、本発明はこれに限定されるものではなく、S O G 等の塗布絶縁膜を使うことも可能である。

【 0 0 3 4 】

また図 1 1 (J) の工程において、前記 Si 基板 4 1 の裏面に突出している Cu プラグ 4 6 A の先端部を覆う塗布絶縁膜は、アッシング工程により除去することも可能である。

【 0 0 3 5 】

このようにして得られた半導体装置 4 0 を図 1 の構成において前記半導体チップ 1 1 A ~ 1 1 D の代わりに使うことにより、高速動作する信頼性の高い 3 次元半導体集積回路装置を構成することが可能になる。

【 0 0 3 6 】

以上、本発明を好ましい実施例について説明したが、本発明はかかる特定の実施例に限定されるものではなく、特許請求の範囲に記載された要旨内において様々な変形・変更が可能である。

【 0 0 3 7 】

(付記 1) 半導体基板と、

前記半導体基板の第 1 の表面上に形成された半導体素子と、

前記半導体基板の前記第 1 の表面上に、前記半導体素子を覆うように形成された絶縁膜と、

前記絶縁膜上に形成された多層配線構造と、

前記半導体基板中に、前記第 1 の表面から第 2 の対向する表面に貫通するように形成され、さらに前記絶縁膜中を貫通する貫通孔と、

前記貫通孔中に形成され、前記第 1 の表面から前記第 2 の表面まで延在する貫通電極とを備えた半導体装置であって、

前記貫通孔は、前記絶縁膜中においては第 1 の径を、前記半導体基板中においては第 2 の、より大きな径を有し、

前記貫通電極は、その全長にわたり前記第 1 の径に実質的に等しい径を有し、前記半導体基板中においては前記貫通電極と前記貫通孔内壁との間に、絶縁膜スリーブが介在することを特徴とする半導体装置。

【 0 0 3 8 】

(付記 2) 前記絶縁膜スリーブは、オルガノシロキサン系材料、水素化シロキサン系材料、有機ポリマー、およびこれらの多孔質材料のいずれかよりなることを特徴とする付記 1 記載の半導体装置。

【 0 0 3 9 】

(付記 3) 前記絶縁膜スリーブは、約 3. 0 以下の比誘電率を有することを特徴とする付記 1 または 2 記載の半導体装置。

【 0 0 4 0 】

(付記 4) 前記貫通電極は Cu を主成分とする金属よりなることを特徴とする付記 1 ～ 3 のうち、いずれか一項記載の半導体装置。

【 0 0 4 1 】

(付記 5) 支持基板と、

前記支持基板上に積層された複数の半導体チップとよりなり、

各々の半導体チップは半導体基板と、前記半導体チップの第 1 の表面上に形成された半導体素子と、前記半導体チップの前記第 1 の表面上に、前記半導体素子を覆うように形成された絶縁膜と、前記絶縁膜上に形成された多層配線構造と、前記半導体チップ中に、前記第 1 の表面から第 2 の対向する表面に貫通するように形成され、さらに前記絶縁膜中を貫通する貫通孔と、前記貫通孔中に形成され、前記第 1 の表面から前記第 2 の表面まで延在する貫通電極とを備え、前記貫通孔は、前記絶縁膜中においては第 1 の径を、前記半導体チップ中においては第 2 の、より大きな径を有し、前記貫通電極は、その全長にわたり前記第 1 の径に実質的に等しい径を有し、前記半導体基板中においては前記貫通電極と前記貫通孔内壁との間に、絶縁膜スリーブが介在することを特徴とする半導体集積回路装置。

【 0 0 4 2 】

(付記 6) 前記絶縁膜スリーブは、オルガノシロキサン系材料、水素化シロキサン系材料、有機ポリマー、およびこれらの多孔質材料のいずれかよりなることを特徴とする付記 5 記載の半導体集積回路装置。

【 0 0 4 3 】

(付記 7) 前記絶縁膜スリーブは、3.0 以下の比誘電率を有することを特徴とする付記 5 または 6 記載の半導体集積回路装置。

【 0 0 4 4 】

(付記 8) 前記貫通電極は Cu を主成分とする金属よりなることを特徴とする付記 5 ～ 7 のうち、いずれか一項記載の半導体集積回路装置。

【 0 0 4 5 】

(付記 9) 貫通電極を有する半導体装置の製造方法であって、半導体基板の第 1 の主面上に絶縁膜を形成する工程と、前記絶縁膜中に、前記半導体基板を露出する開口部を第 1 の径で形成する工程と、

前記半導体基板中に、前記絶縁膜をマスクとして前記半導体基板の主面に略垂直な方向に作用する異方性エッチングを行い、前記開口部から前記半導体基板中に延在する凹部を、前記凹部が前記半導体基板中において前記第 1 の径よりも大きな第 2 の径を有するように形成する工程と、

前記開口部および前記凹部を塗布絶縁膜により充填する工程と、

前記開口部中および前記凹部を充填している前記塗布絶縁膜を、前記絶縁膜をマスクとして、前記半導体基板の主面に略垂直な方向に異方性エッチングし、前記凹部中の塗布絶縁膜中に、前記開口部から連続的に延在する空間を形成する工程と、

前記絶縁膜上に、前記開口部および前記空間を充填するように導電層を堆積する工程と、

前記絶縁膜上において前記導電層を除去し、前記開口部および前記空間中に導電性プラグを形成する工程と、

前記半導体基板の第 2 の、前記第 1 の主面に対向する主面に対して、前記半導体基板の構成材料を除去する工程を行い、前記導電性プラグを露出させる工程とよりなることを特徴とする半導体装置の製造方法。

【 0 0 4 6 】

(付記 1 0) 前記塗布絶縁膜は、オルガノシロキサン系材料、水素化シロキサン系材料、有機ポリマー、およびこれらの多孔質材料より選択されることを特徴とする付記 9 記載の半導体装置の製造方法。

【 0 0 4 7 】

(付記 1 1) 前記塗布絶縁膜は、3.0 以下の比誘電率を有することを特徴とする付記 9 または 1 0 記載の半導体装置の製造方法。

【 0 0 4 8 】

(付記 1 2) 前記半導体基板の第 2 の主面に対して施される、前記半導体基板の構成材料を除去する工程はドライエッチング工程よりなり、前記塗布絶縁膜は、前記ドライエッチング工程に対して耐性を有する材料よりなることを特徴とする付記 9 ～ 1 1 のうち、いずれか一項記載の半導体装置の製造方法。

【 0 0 4 9 】

(付記 1 3) 前記ドライエッチング工程は、前記導電性プラグを、前記半導体基板の前記第 2 の主面において、前記塗布絶縁膜により覆われた状態で露出させることを特徴とする付記 1 2 記載の半導体装置の製造方法。

【 0 0 5 0 】

(付記 1 4) さらに前記第 2 の主面において露出された導電性プラグを覆う前記塗布絶縁膜を化学機械研磨法により除去する工程と、前記塗布絶縁膜が除かれた前記導電性プラグ上にコンタクトパッドを形成する工程とを含むことを特徴とする付記 1 3 記載の半導体装置の製造方法。

【 0 0 5 1 】

(付記 1 5) さらに前記第 2 の主面において露出された導電性プラグを覆う前記塗布絶縁膜をアッシングにより除去する工程と、前記塗布絶縁膜が除かれた前記導電性プラグ上にコンタクトパッドを形成する工程とを含むことを特徴とする付記 1 3 記載の半導体装置の製造方法。

【 0 0 5 2 】

【発明の効果】 本発明によれば、半導体基板中に形成される貫通電極の欠陥が除去され、信頼性の高い半導体装置が得られる。前記半導体基板中において前記貫通電極は低誘電率塗布膜よりなるスリーブで囲まれているため寄生容量が減少し、半導体装置は高速で動作することができる。かかる半導体装置を積層することにより、高速で動作し、信頼性の高い 3 次元半導体集積回路装置が得られる。

【図面の簡単な説明】

【図 1】

従来の 3 次元半導体集積回路装置の構成を示す図である。

【図 2】

(A) , (B) は、従来の半導体装置の製造工程を説明する図 (その 1) である。

【図 3】

(C) , (D) は、従来の半導体装置の製造工程を説明する図 (その 2) である。

【図 4】

(E), (F) は、従来の半導体装置の製造工程を説明する図（その 3）である。

【図 5】

(G), (H) は、従来の半導体装置の製造工程を説明する図（その 4）である。

【図 6】

(A), (B) は、本発明の一実施例による半導体装置の製造工程を説明する図（その 1）である。

【図 7】

(C), (D) は、本発明の一実施例による半導体装置の製造工程を説明する図（その 2）である。

【図 8】

(E), (F) は、本発明の一実施例による半導体装置の製造工程を説明する図（その 3）である。

【図 9】

(G), (H) は、本発明の一実施例による半導体装置の製造工程を説明する図（その 4）である。

【図 1 0】

(I) は、本発明の一実施例による半導体装置の製造工程を説明する図（その 5）である。

【図 1 1】

(J) は、本発明の一実施例による半導体装置の製造工程を説明する図（その 6）である。

【図 1 2】

(K) は、本発明の一実施例による半導体装置の製造工程を説明する図（その 7）である。

【図 1 3】

(L) は、本発明の一実施例による半導体装置の製造工程を説明する図（その

8) である。

【符号の説明】

10 支持基板

10A 配線パターン

10B はんだバンプ

11A～11D 半導体チップ

11a～11d 貫通電極

21, 41 Si基板

21A, 21B, 41A, 41B 拡散領域

21C, 41C 凹部

21c ボイド

22, 42 ゲート電極

23, 43 絶縁膜

23A, 23B, 43A, 43B 導電性プラグ

23C, 43C 開口部

24, 44 レジスト

24A, 44A レジスト開口部

25 CVD-SiN膜

26, 46, 49 Cu層

26A, 46A Cuプラグ

27, 28, 47, 48 層間絶縁膜

27A, 28A, 47A, 48A Cu配線パターン

45 塗布絶縁膜

45A 空間

45B スリーブ

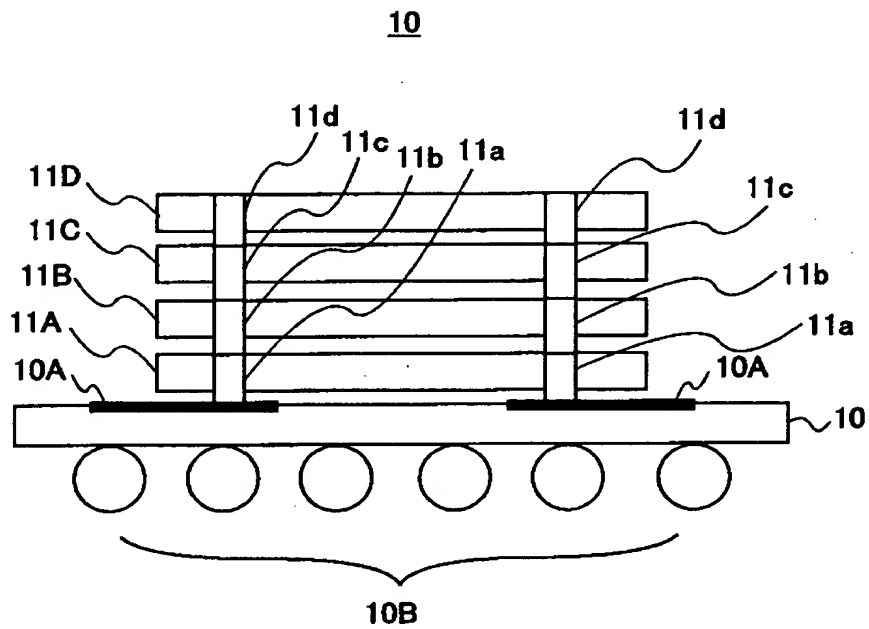
50 電極パッド

【書類名】

図面

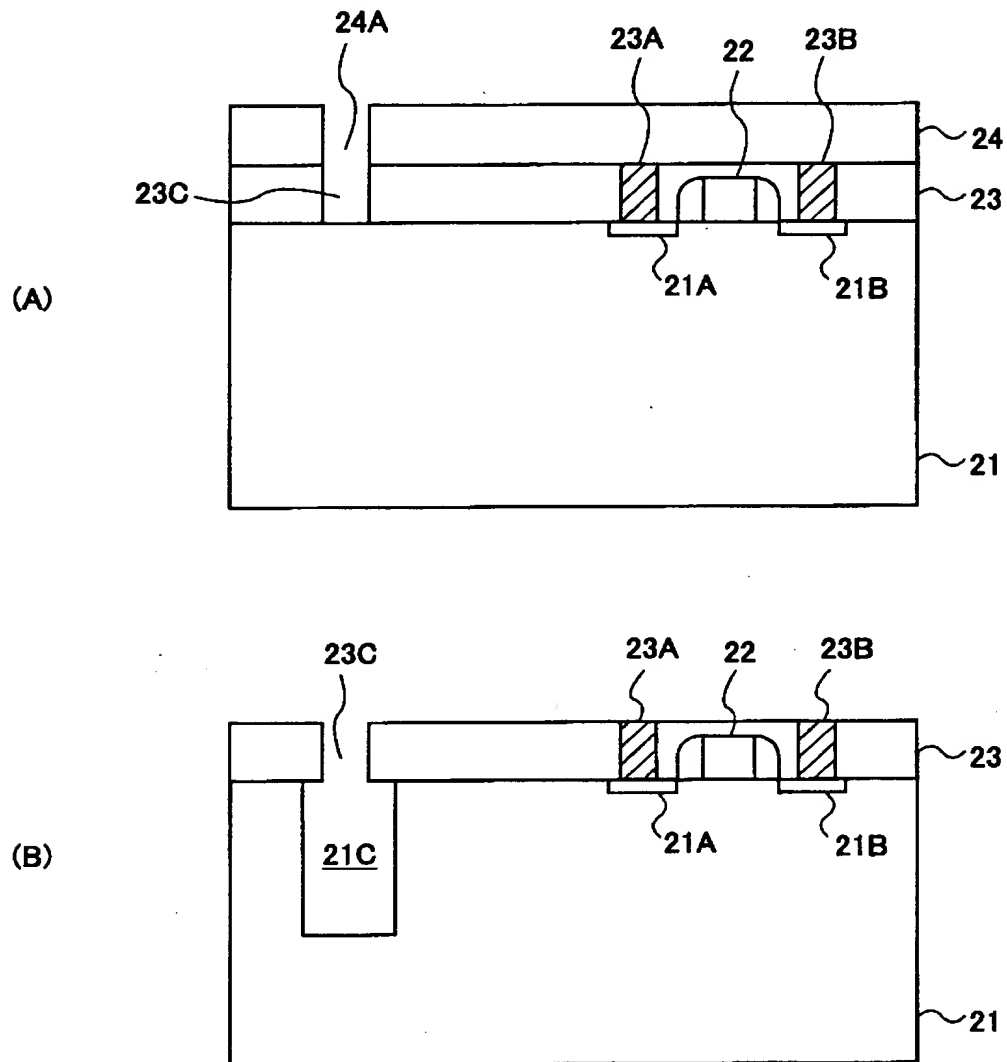
【図 1】

従来の3次元半導体集積回路装置の構成を示す図



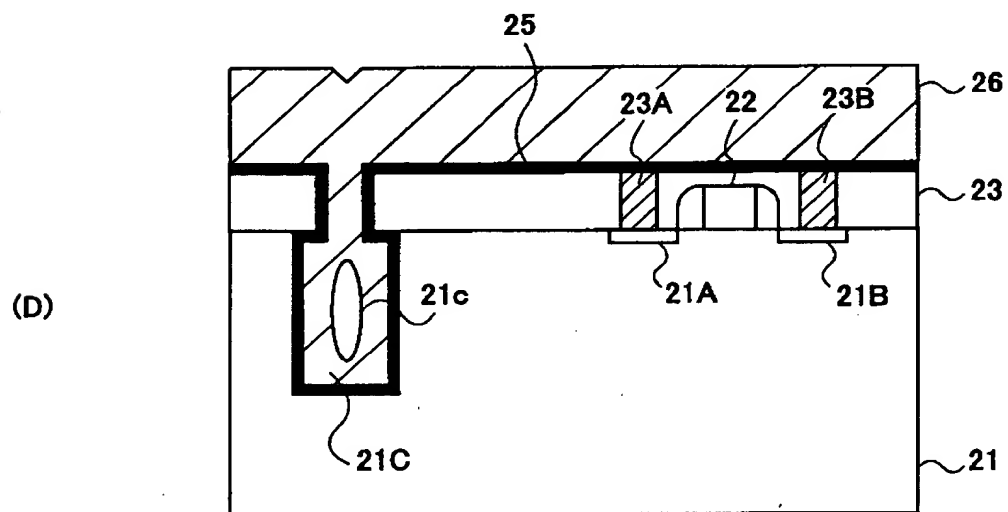
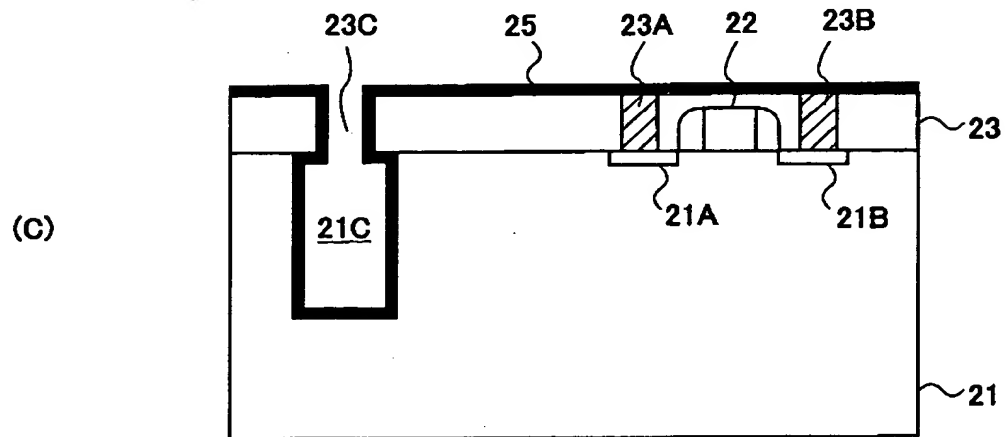
【図 2】

(A)、(B)は、従来の半導体装置の製造工程を説明する図(その1)



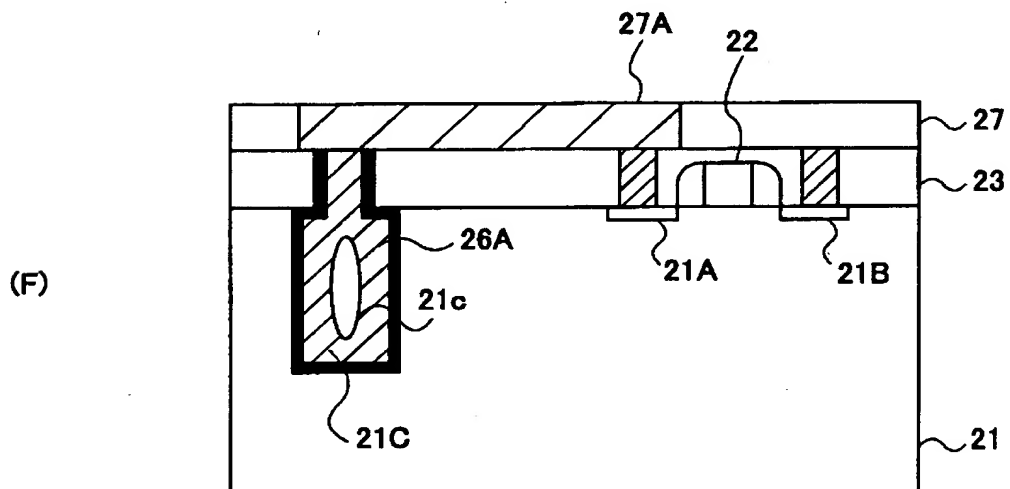
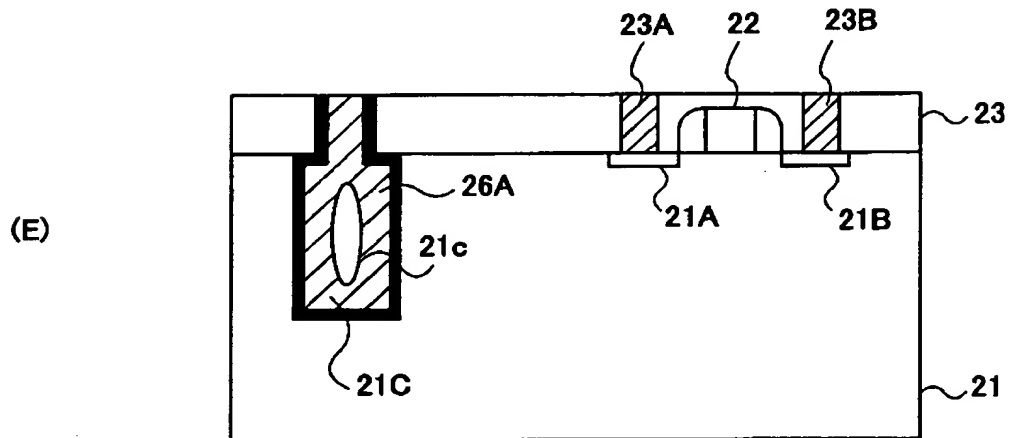
【図 3】

(C)、(D)は、従来の半導体装置の製造工程を説明する図(その2)



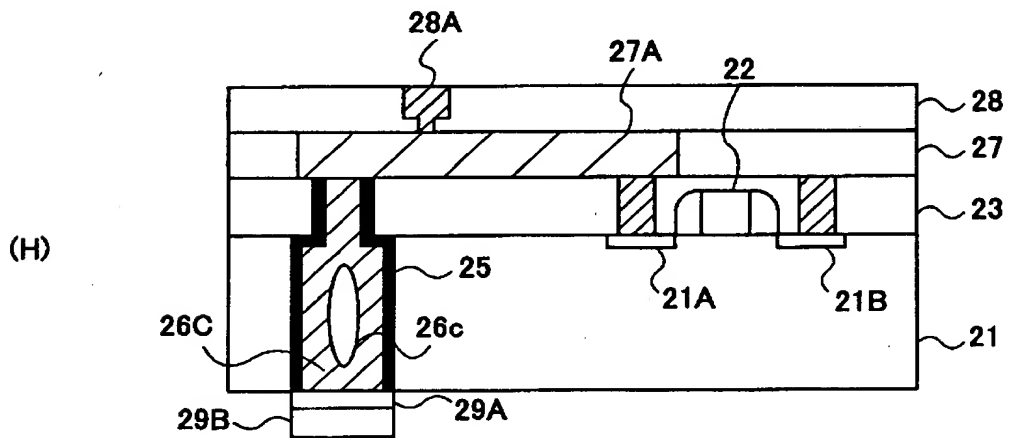
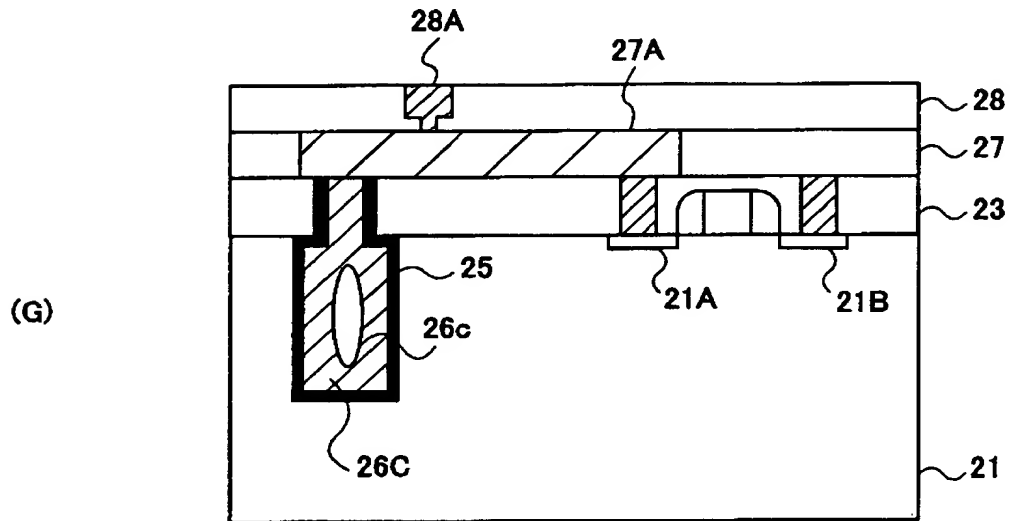
【図 4】

(E)、(F)は、従来の半導体装置の製造工程を説明する図(その3)



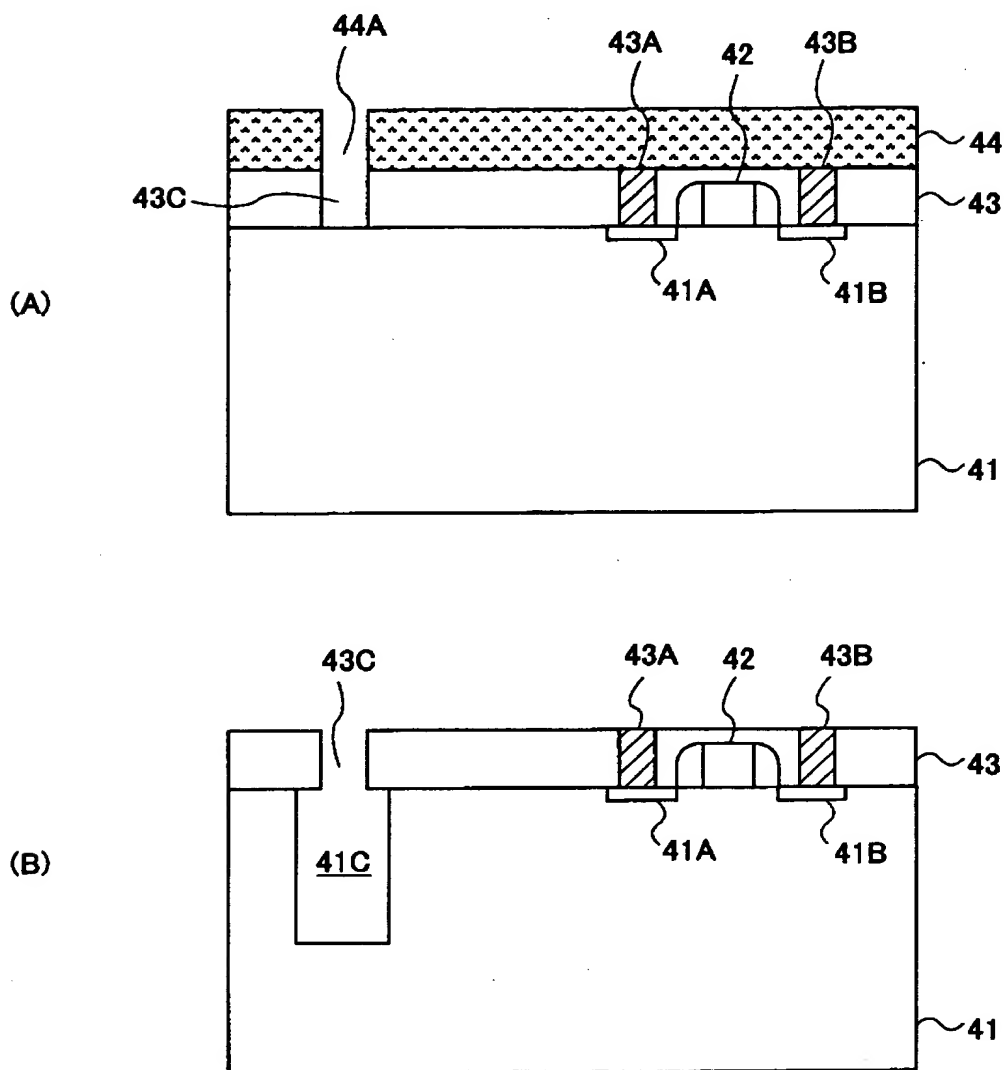
【図 5】

(G)、(H)は、従来の半導体装置の製造工程を説明する図(その4)



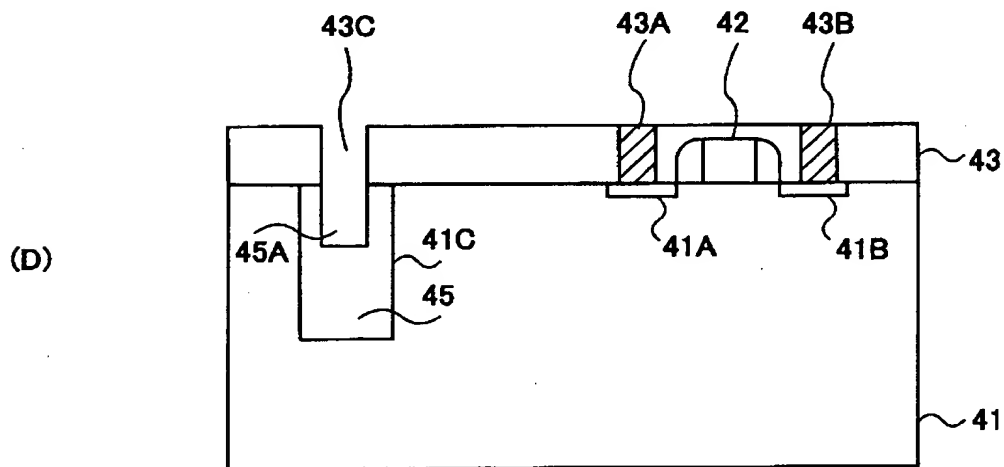
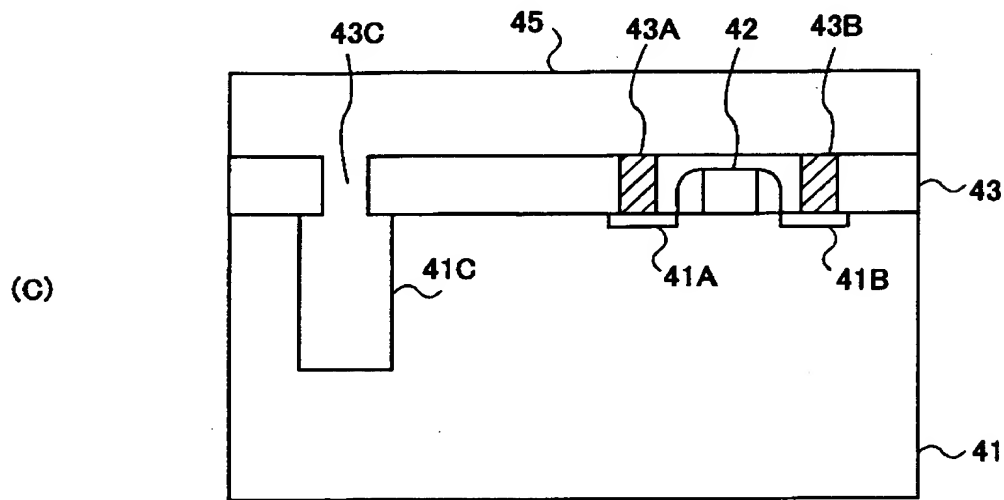
【図 6】

(A)、(B)は、本発明の一実施例による半導体装置の製造工程を説明する図(その1)



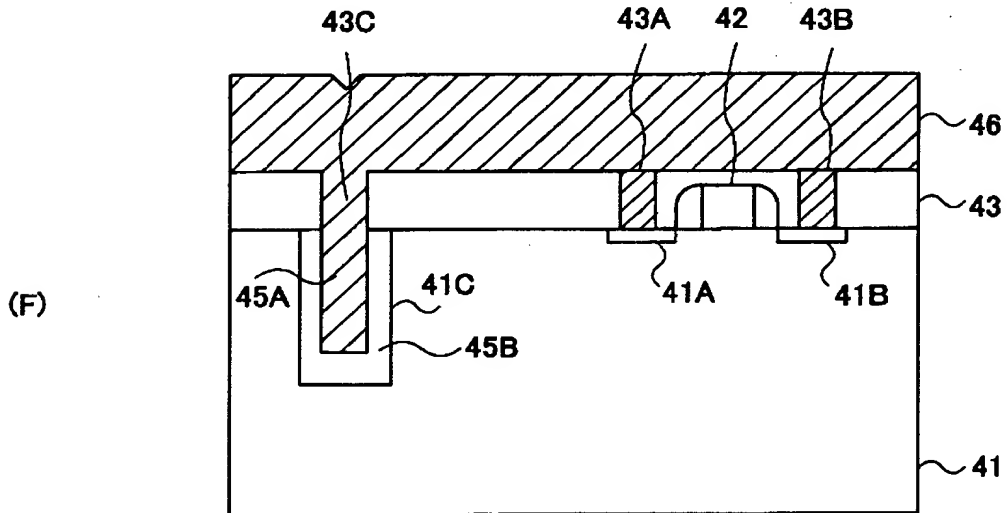
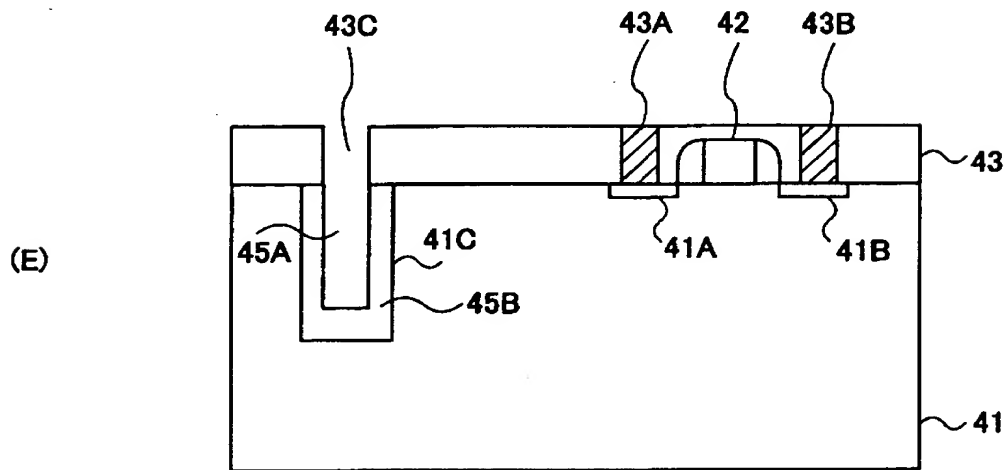
【図 7】

(C)、(D)は、本発明の一実施例による
半導体装置の製造工程を説明する図(その2)



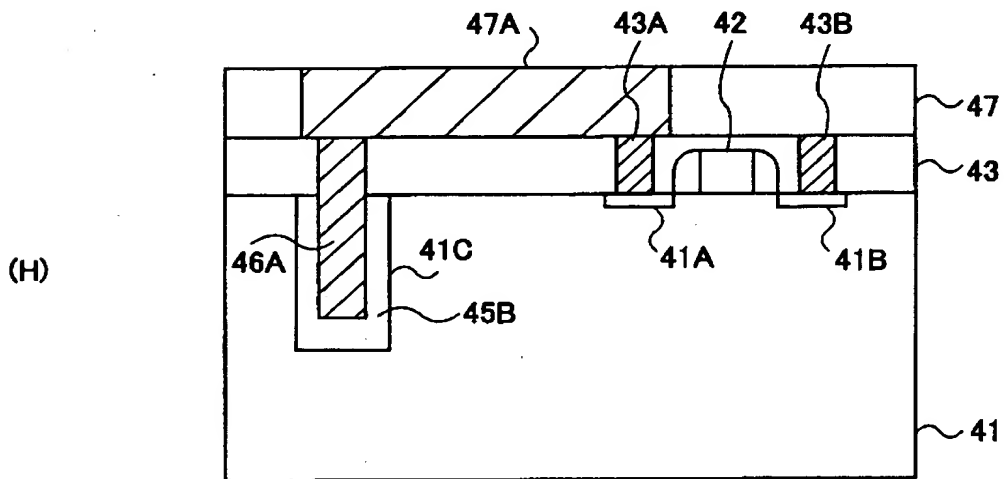
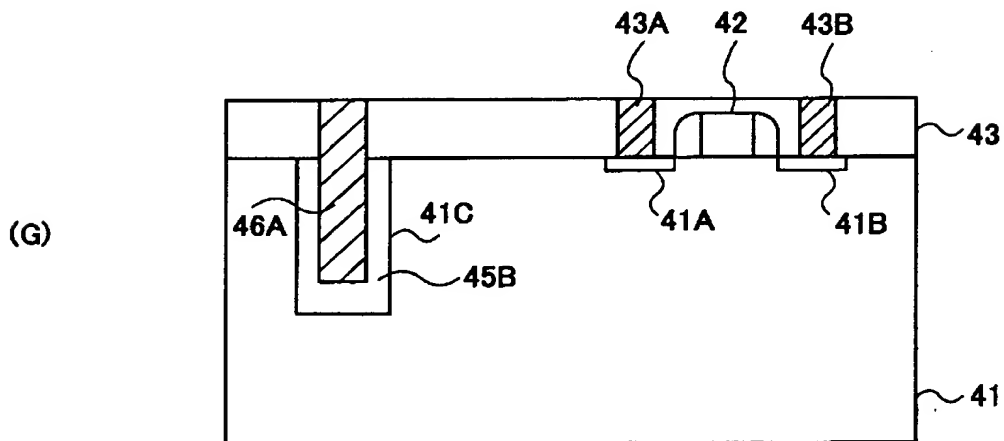
【図 8】

(E)、(F)は、本発明の一実施例による
半導体装置の製造工程を説明する図(その3)



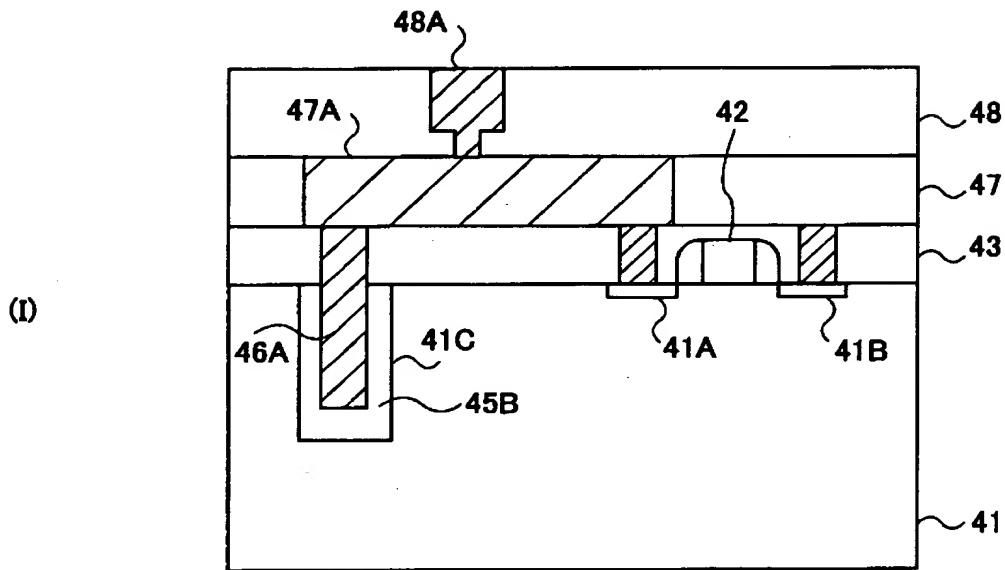
【図 9】

(G)、(H)は、本発明の一実施例による
半導体装置の製造工程を説明する図(その4)



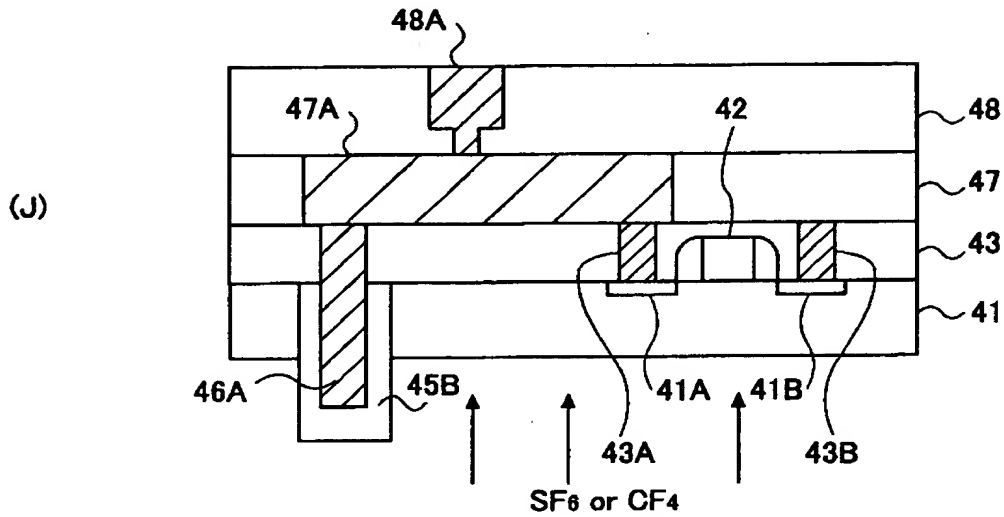
【図 1 0】

(I) は、本発明の一実施例による
半導体装置の製造工程を説明する図(その5)



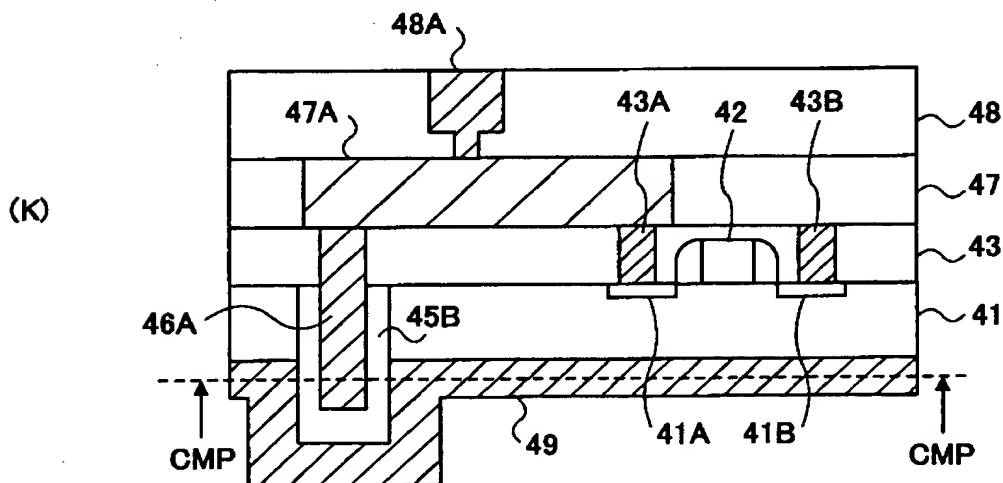
【図 1 1】

(J)は、本発明の一実施例による
半導体装置の製造工程を説明する図(その6)



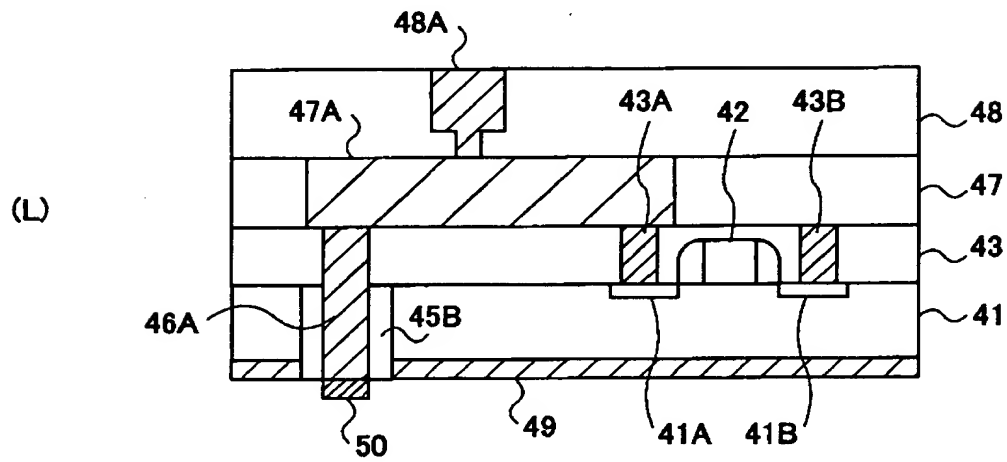
【図 1 2】

(K)は、本発明の一実施例による
半導体装置の製造工程を説明する図(その7)



【図 1 3】

(L) は、本発明の一実施例による
半導体装置の製造工程を説明する図(その8)



【書類名】 要約書

【要約】

【課題】 半導体基板中に貫通電極を備えた高速半導体装置を提供する。

【解決手段】 半導体基板中に凹部を、基板表面に形成した絶縁膜をハードマスクに使用して形成し、かかる凹部をアンダーカット部も含めて低誘電率塗布絶縁膜で充填した後、前記ハードマスクを使用して前記凹部中の低誘電率塗布絶縁膜中に凹部を前記塗布絶縁膜がスリーブを形成するように形成し、かかる凹部をCuで充填してCuプラグを形成する。さらに多層配線構造を形成した後、前記半導体基板の裏面を研削およびエッチングし、前記Cuプラグを露出させる。

【選択図】 図 8

特2001-196777

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日	1996年 3月26日
[変更理由]	住所変更
住 所	神奈川県川崎市中原区上小田中4丁目1番1号
氏 名	富士通株式会社